

PAT-NO: JP362272546A
DOCUMENT-IDENTIFIER: JP 62272546 A
TITLE: FILM CARRIER FOR SEMICONDUCTOR
DEVICE

PUBN-DATE: November 26, 1987

INVENTOR-INFORMATION:

NAME

SATO, HIDEAKI

SUZUKI, KATSUMI

ISHIKAWA, TETSUO

YAMAGISHI, RYOZO

ASSIGNEE-INFORMATION:

NAME

HITACHI CABLE LTD

COUNTRY

N/A

APPL-NO: JP61115746

APPL-DATE: May 20, 1986

INT-CL (IPC): H01L021/60

US-CL-CURRENT: 29/827

ABSTRACT:

PURPOSE: To obtain a film carrier for a semiconductor device which is improved in the reliability while reducing its manufacturing cost by forming at least one layer of a bump by plating on the end parts of leads.

CONSTITUTION: A conductor film of a desired pattern is bonded onto a flexible insulating film 2, and at least one layer of a

bump 7 is formed by
plating on the end part 6 of the leads 5 of a film carrier
2 for a
semiconductor device formed with the leads 5. For example,
the bump 7 is
formed by plating on a part of an electrode 10 to be
bonded, formed on an IC
chip 9 of the inner leads 6. The bump metal employs, for
example, a metal
~~having soft and high ductility and corrosion resistance~~
such as Au, Au alloy,
Cu, Cu alloy, Sn, Pb-Sn, etc. The bump 7 is not limited to
a metal plating of
single layer, may be formed of metal plating of
multilayers, or formed of a
Cu-plated layer 71 for forming the base of the bump and an
Au-plated layer 8
for enclosing the layer 71.

COPYRIGHT: (C)1987, JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-272546

⑪ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)11月26日

H 01 L 21/60

6918-5F

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 半導体装置用フィルムキャリア

⑮ 特 願 昭61-115746

⑯ 出 願 昭61(1986)5月20日

⑰ 発 明 者	里 英 昭	土浦市木田余町3550番地	日立電線株式会社金属研究所内
⑱ 発 明 者	鈴木 勝 美	土浦市木田余町3550番地	日立電線株式会社金属研究所内
⑲ 発 明 者	石 川 哲 夫	土浦市木田余町3550番地	日立電線株式会社金属研究所内
⑳ 発 明 者	山 岸 良 三	土浦市木田余町3550番地	日立電線株式会社金属研究所内
㉑ 出 願 人	日立電線株式会社	東京都千代田区丸の内2丁目1番2号	
㉒ 代 理 人	弁理士 渡辺 望 稔		

明 細 書

1. 発明の名称

半導体装置用フィルムキャリア

2. 特許請求の範囲

(1) 可とう性絶縁フィルム上に所望のパターンの導体膜を貼着し、リードを形成してなる半導体装置用フィルムキャリアにおいて、

前記リードの先端部分にめっきにより少なくとも一層のバンプを形成してなることを特徴とする半導体装置用フィルムキャリア。

3. 発明の詳細な説明

<産業上の利用分野>

本発明は、マルチチップLSIやICカード等の製造に適用することが好適な、フィルムキャリア方式による半導体素子の実装技術に係り、特にインナーリードボンディングのためのバンプを導体膜側に形成したフィルムキャリアに関する。

<従来の技術>

半導体素子の実装技術においては、自動化による量産性の向上、パッケージの薄肉化、およびフィルム这可とう性を利用した立体的な実装の実現等の利点を有するフィルムキャリア方式が注目されている。

このフィルムキャリア方式は、長尺のスプロケットホール付きフィルムキャリアにワイヤレスボンディングにより半導体素子(以下ICチップという)を連続的に組み込んだものである。

この方式を更に詳しく説明すると、ICチップ上に形成された微小の電極にフィルムキャリア上の対応するインナーリードを、加熱されたボンディングツールにより熱圧着し、インナーリードボンディング(ギャングボンディング)を行う。この熱圧着操作は、ボンディングツールの上下運動、フィルムキャリアの送りおよびICチップを列状に配置したICチップホルダーの送り等を連動させることにより、連続的に行われる。

ここで、フィルムキャリアは、通常ポリイミド

樹脂、ポリエステル樹脂等の可とう性の絶縁フィルムにデバイスホールやスプロケットホール等の必要な貫通孔を打ち抜きにより形成し、そのフィルムに銅箔を貼着し、次いで該銅箔にフォトレジストを塗布、乾燥し所定パターンのフォトマスクを通して露光し、現像して所定のパターン形状のフォトレジスト層を形成した後、前記フォトレジスト層をマスクとしてエッチングを行い、所望の銅箔パターンによるリードを形成する方法により製造される。

ところで、フィルムキャリア上の銅箔によるインナーリードをICチップの電極(A&パッド)にボンディングするには、Au等のバンプ金属を介してボンディングがなされる。

第6図に示すように、通常このバンプ7は、ICチップ9上の電極(A&パッド)10上に密着用金属や拡散バリア用金属等の多層金属膜14を介して形成されている。

しかるに、バンプの形成は、①ウエハ状態のICチップに蒸着により多層金属膜を形成する工

着性を目的として1.3～1.6μm厚の金めっきを行うというものである。

しかし、この方法に於けるような欠点がある。リードは、フィルムキャリアのデバイスホール内に片持ち支持にて突出しているため、強度の確保の点から比較的硬度の高い銅箔を用いている。従って上記インナーリードに同材料で一体的に形成されたバンプ金属も硬質であり、インナーリードを熱圧着によりボンディングする際、ICチップ上の電極等を損傷する危険性が高く、デバイスの信頼性の低下を招く。

逆に、上記欠点を避けるためにリードに硬度の低い銅箔を用いると、リードとしての強度が不足し、熱圧着によりボンディングする際リードが変形し易くなり、ボンディング位置のずれ等から結局デバイスの信頼性が低下する。

<発明が解決しようとする問題点>

本発明の目的は、上述した従来技術の欠点を解消し、製造コストの低減を図りつつ、デバイスの信頼性を向上することができる半導体装置用フィ

程、②感光性樹脂により所定のパターンを形成するフォトリソグラフ工程、③バンプ金属を形成するためのめっき工程、④不要部分の多層金属膜を除去するエッチング工程のように数多くの複雑な工程を経て行われる。

従って、高価な製造設備を必要とし、製造コストが高くなるとともに、製造工程の複雑化により半導体集積回路素子に設計との誤差が生じ易くなり、信頼性が低下する。

また、バンプの形成はウエハ状態で行われ、これを切断してICチップとするため不良素子に対してもバンプが形成されることになり、高価なバンプ金属の浪費となるという欠点もある。

そこで、近年バンプをICチップ側の電極上に形成するのではなく、フィルムキャリア側のインナーリードに形成する試みがなされている。この方法は、米国のMESA Technology社によって開発されたもので、銅箔のインナーリードをハーフエッチングしてバンプ(突起)を形成し、その上にICチップの電極(A&パッド)との接合密

ルムキャリアを提供することにある。

<問題点を解決するための手段>

このような目的を達成するために、本発明者は、鋭意研究の結果、リード側にバンプを形成した半導体装置用フィルムキャリアにおいて、リードの構成材料を変更することなく、インナーリードのボンディングを行う部分にめっきによりリードと異質な金属のバンプを形成することを見出し、本発明に至った。

すなわち、本発明は、可とう性絶縁フィルム上に所望のパターンの導体膜を貼着し、リードを形成してなる半導体装置用フィルムキャリアにおいて、前記リードの先端部分にめっきにより少なくとも一層のバンプを形成してなることを特徴とする半導体装置用フィルムキャリアを提供するものである。

以下、本発明の半導体装置用フィルムキャリアを、添付図面に示す好適実施例について詳細に説明する。

第1図は、本発明の半導体装置用フィルムキャ

リアの部分平面図である。同図に示すように、フィルムキャリア1は、ポリイミド樹脂、ポリエチレン樹脂、ポリエステル樹脂、可とう性エポキシ樹脂等の樹脂類や、紙類等の可とう性、絶縁性を有する材料で構成されるフィルム2上に所望の 패턴の導体膜（以下、典型例として銅箔5につき説明する）が接着剤等により貼着されている。

フィルムキャリア1には、中央部付近にICチップ9をマウントするためのデバイスホール4が形成されているとともに、両側端に沿ってフィルム送りのギヤー（スプロケット）がかみ込むためのスプロケットホール3が形成されている。なお、フィルムキャリアは通常長尺物であるが、第1図には、1個のICチップを装着する1単位が部分的に示されている。

このフィルムキャリア1のデバイスホール4の周囲には、銅箔5によるリードが互いに電氣的に接続しないように形成されており、各リードの先端部のインナーリード6は、フェイスアップで位

過である。

また、バンプ7は、上記第2図に示すような単一層の金属めっきで形成するものに限らず、第3図に示すように、多層の金属めっきにより形成したものでもよい。例えば、バンプの土台を構成するCuめっき層71と、これを被包する薄いAuめっき層8で構成してもよい。

なお、この場合Cuめっき層71は、インナーリードボンディングした際電極（A2パッド）10を損傷しないように、軟質のCuによるめっき層とするのがよい。

このようにバンプ7を多層金属めっきにより形成すれば、異なる金属のそれぞれの利点を併有することができ有利である。特にバンプ金属をCuめっき層71とこれを被包する薄いAuめっき層8で構成した場合には、導電性、ボンディングの密着性の点で有利な他、高価なAuの節約ともなり材料コストの面からも有利である。

以上述べた、バンプ7の突起の高さは、少なくともインナーリード6がICチップと接触しない

置合せしてボンディングすることができるようデバイスホール内に突出している。このインナーリード6の先端部分がICチップ9上の対応する各電極10にボンディングされる。

ICチップ上の各電極10の周囲には保護膜11が形成され、ICチップ9を保護している。

なお、リードを形成する導体膜は純銅箔に限らず、例えばCu-Zn合金、Cu-Sn合金等の銅系合金の箔であってもよい。

また、導体膜の厚さも特に限定されない。

本発明では、第2図に示すように、各インナーリード6のICチップ9上に形成された電極（A2パッド）10にボンディングする部分に、バンプ7がめっきにより形成されている。

このバンプ金属には、軟質で、延性が高く、耐腐食性のある金属が好ましく、例えばAu、Au系合金、Cu、Cu系合金、Sn、Pb/Sn、等を挙げることができる。上記例示金属の内Auは、軟質で、延性が高く、しかもA2パッドとの密着性が良いため、バンプ7の構成材料として好

高さが必要であり、通常は15～20μm程度とするのがよい。

また、バンプの形状も特に限定されない。

次に、本発明の半導体装置用フィルムキャリアの製造方法の一例を説明する。

本発明のフィルムキャリアは以下の手順により製造される。

①可とう性絶縁フィルム2に打ち抜きにより所定のデバイスホール4およびスプロケットホール3を開孔形成する。

②前記①のフィルムに銅箔を接着剤等により貼着する。

③該銅箔にフォトレジストを塗布、乾燥し、これに所定パターンのフォトマスクを装着して露光、現像することによりリードと同じパターンのフォトレジスト層を形成する。

④前記③のフォトレジスト層をマスクとしてエッチングを行い、所望のパターンの銅箔5を得る。すなわち、フィルム2上にリードが形成される。

⑤不要なフォトリソ層を除去し、水洗等により清浄化する。

⑥このフィルムキャリアの全面にポジ形フォトリソ（例えばOFPR-7）を塗布し、マスキングによりインナーリードのバンプを形成しようとする部分のみを露光し、現像して、第4図に示すようなパターンレジソ層12を形成する。すなわち、バンプを形成する部分が開口部13となるようにレジソ層12を形成する。

⑦前記⑥の状態のフィルムキャリアに対し、浸漬電気めっき法、無電解めっき法等の方法により例えばAuめっきを行う。これにより第5図に示すようにインナーリード6の開口部13のみにAuめっきがなされ、Auのバンプ7が形成される。

前述した多層の金属めっきによりバンプを形成する場合には、まず、Cuめっきを行って開口部13にバンプ7の土台となる軟質のCuめっき層71を形成し、次いでAuめっきを

てエッチングし、28ピンCu箔パターンを形成した後、所定方法にてフォトリソを除去した。

次いで、OFPRを再度塗布し、上記と同様の方法にて、ピン先端から0.7mm付近の位置にバンプ形成のための開口部を残したパターンのレジソ層を形成した。

その後、電気めっき法にて、Auめっきを行い、前記各ピンの先端部に厚さ20μmのAuバンプを形成した。

レジソ層の除去後十分水洗し、乾燥した。

このようにして得られたバンプ付リードを有するフィルムキャリアを用いて、各リードを対応するICチップ上の電極にボンディングした結果、十分な接合強度が得られ、ICチップの破損も生じなかった。

(実施例2)

実施例1と同様の方法にて、28ピンCu箔パターンを形成し、同様のバンプ形成のための開口部を残したパターンのレジソ層を形成した。

行ってその周囲を被包する薄いAuめっき層8を形成することにより行う。

なお、単層または多層めっきによるバンプ金属形成のためのめっき方法は、特に限定されない。

⑧不要なレジソ層12を剝離除去し、水洗等により清浄化する。

<実施例>

(実施例1)

ポリイミドフィルム（巾35mm、厚さ125μm）に、スタンピング法にてスプロケットホールおよびデバイスホールを形成し、このフィルムに35μm厚の圧延Cu箔を接着した。

次に、Cu箔だけにフォトリソOFPR（ポジ型）をロール法にて厚さ2～3μm塗布し、所定の条件にてブレベーク、露光、現像し、ポストベークし、28ピン（ピン巾0.30mm）のリードを形成するためのレジソパターンを形成した。

その後、Cu箔にFeCl₃溶液をスプレーし

その後、電気めっき法にて、まず厚さ15μmのCuをめっきし、次いで厚さ5μmのAuをめっきし、第3図に示すような二重金属めっき層のバンプ（計20μm厚）を形成した。

レジソ層の除去後、十分水洗し、乾燥した。

このようにして得られたバンプ付リードを有するフィルムキャリアを用いて、各リードを対応するICチップ上の電極にボンディングした結果、十分な接合強度が得られ、ICチップの破損も生じなかった。

<発明の効果>

本発明の半導体装置用フィルムキャリアによれば、バンプをフィルムキャリアのリード側にめっきにより形成するため、従来、ICチップの電極側にバンプを形成していたのに比べ製造工程が簡素化され、これにより精度が高まりデバイスの信頼性が向上するとともに実装コストも低減する。

特に従来ではICチップに切断分離する前のウエハ状態でバンプの形成を行っていたため、不良素子に対してもバンプが形成されることになり、

金のような高価なパンプ金属の浪費となっていたが、本発明ではこのようなことがなく、材料コストの低減が図れる。

また、本発明のフィルムキャリアは、ハーフエッチング等によりインナーリードにパンプを一体的に形成するものとは異なり、リードの構成金属（例えば硬質の銅箔）にかかわらず、パンプ金属として適した性質（例えばボンディング密着性やICチップ上の電極損傷防止のための軟質性）の金属を選択することができる。従ってリードに悪影響を与えることなく、ボンディング性能を向上させることが可能となり、デバイスの信頼性が向上する。

4. 図面の簡単な説明

第1図は、本発明の半導体装置用フィルムキャリアの部分平面図である。

第2図は、本発明の半導体装置用フィルムキャリアのインナーリードをICチップの電極にボンディングする部分を示す部分側面断面図である。

第3図は、パンプを多層の金属めっきで構成し

た場合のインナーリード部の部分側面断面図である。

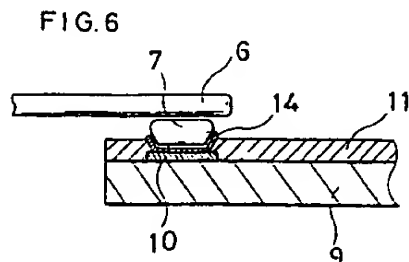
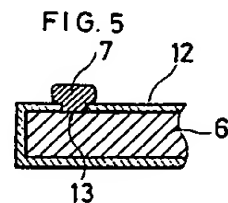
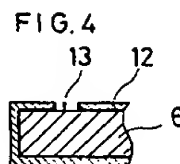
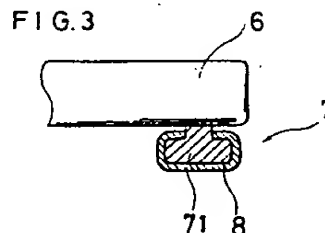
第4図および第5図は、本発明の半導体装置用フィルムキャリアの製造工程を示すインナーリード部の側面断面図である。

第6図は、従来のパンプ金属付ICチップとフィルムキャリアのインナーリードとを示す部分側面断面図である。

符号の説明

- 1・・・フィルムキャリア、
- 2・・・フィルム、
- 3・・・スプロケットホール、
- 4・・・デバイスホール、
- 5・・・銅箔（リード）、
- 6・・・インナーリード、
- 7・・・パンプ、
- 71・・・Cuめっき層、
- 8・・・Auめっき層、
- 9・・・ICチップ、
- 10・・・電極（Auパッド）、

- 11・・・保護膜、
- 12・・・レジスト層、
- 13・・・開口部、
- 14・・・多層金属膜



特許出願人 日立電線株式会社
代理人 弁理士 渡辺 望 祐

